

文章编号:1007-2780(2012)01-0087-06

基于 FPGA 的通用液晶显示控制器的设计和实现

王鸣浩, 吴小霞

(中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033, E-mail: wangminghao_cc@163. com)

摘 要: 基于 FPGA 研究了液晶显示的驱动方法, 参照液晶显示的逻辑和时序标准设计了可选择分辨率的通用液晶驱动, 用 Verilog 硬件描述语言编写了通用液晶显示驱动控制器, 可以实现不同分辨率的清晰动态显示, 在不需要修改核心代码的情况下, 普遍适用于多种分辨率图像切换显示。经实验验证, 该通用液晶显示控制器占用资源少, 能够满足液晶显示时序控制的要求; 通用性好, 可移植性强, 在系统外扩高速存储设备后即可作为嵌入式系统的一部分驱动标准高分辨率液晶显示器。

关 键 词: 液晶显示; FPGA; Verilog-HDL; LCD 控制器;

中图分类号: TP334; TP332 **文献标识码:** A **DOI:** 10. 3788/YJYXS20122701. 0087

Design and Realization of General LCD Controller Based on FPGA

WANG Ming-hao, WU Xiao-xia

(1. Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China)

Abstract: Based on FPGA, the drive method of liquid crystal display is studied according to logic and time sequence of liquid crystal display standard. A general liquid crystal display controller is designed which can work under different resolution, the program of the general liquid crystal display controller is implemented with the Verilog language. The general controller can implement clear dynamic display at different resolution. Experimental results indicate that the hardware resource consumption of controller is much lower, it is good in generalization and easy for portability, satisfying the system requirement. Without any modification the controller can be easily transplanted to other embedded systems as a display part to drive high-resolution LCD.

Key words: liquid crystal display; FPGA; Verilog-HDL; LCD controller

1 引 言

在众多的工业及军事应用领域, 由于空间及环境条件要求的苛刻, 嵌入式系统被越来越多地应用于信息的处理、系统的检查与监控。此类嵌入式系统需要将收集到的各种信息实时地显示在显示屏上, 便于操作人员进行人机交互。薄膜晶体管液晶显示器是数字终端显示最理想的显示器

件之一^[1-3]。由于每个像素都通过点脉冲直接控制, 各个节点都相对独立, 避免了无源矩阵显示的交叉串扰问题, 可以做到高速度、高亮度、高对比度显示屏幕信息。随着液晶显示技术日益成熟, 其功耗、体积、重量和可靠性等性能指标均优于传统的显示器, 已被广泛应用于各类图形显示系统。目前的液晶显示设备多采用专用显示控制芯片来完成液晶显示控制, 不仅成本高, 还受器件断档的

收稿日期: 2011-08-24; 修订日期: 2011-10-08

基金项目: 国家“863”资助项目(No. 2009AA8080603)

作者简介: 王鸣浩(1981—), 男, 吉林长春人, 博士, 助理研究员, 主要从事地基大口径望远镜图像处理的研究工作。

影响^[4]。为了拥有自主知识产权,减小系统规模及成本,应用可编程逻辑器件 FPGA 在芯片内部构建系统及液晶显示控制和驱动模块,不仅降低成本,还缩短了产品的研发周期^[5-7]。本文提出了一种基于 FPGA 的通用液晶显示控制器,其不仅准确地实现了标准时序下的液晶显示控制和驱动功能,而且通用性强,可以在不更改任何代码的情况下实现多种分辨率的标准显示功能,并且占用资源少;构建成标准 IP 核组件后,无需任何修改就可移植到其他嵌入式系统作为显示模块直接调用,移植性好当外扩高速存储设备后可以实现系统的高分辨率显示。

2 系统设计及实现

2.1 设计依据

液晶显示的控制和驱动主要是依据液晶显示所需控制信号的标准来实现的,控制信号的设计主要是指行、场同步时序信号的设计,并在控制信号的作用下将显示数据输出至显示端口,控制信号与显示数据的时序关系如图 1 所示。HSYNC 是显示每行像素的行同步时序信号,其每个周期(e)包括 4 个部分:行同步低电平(a)、行消隐后肩(b)、行有效显示(c)、行消隐前肩(d),在行有效显

示部分需要与显示的行像素数据精准对齐;VSYNC 是显示每帧数据的帧同步时序信号,其每个周期(s)包括 4 部分:帧同步低电平(o)、帧消隐后肩(p)、帧有效显示(q)、帧消隐前肩(r),在帧有效显示部分需要与显示的帧像素数据精准对齐。

依照不同的显示分辨率,控制信号有严格的标准,如表 1 所示。行、场同步时序信号是依据不同的点时钟频率计数的,行同步时序信号每计数一次的时间对应一个像素的显示周期;场同步时序信号每计数一次的时间对应行同步时序信号的一个周期。

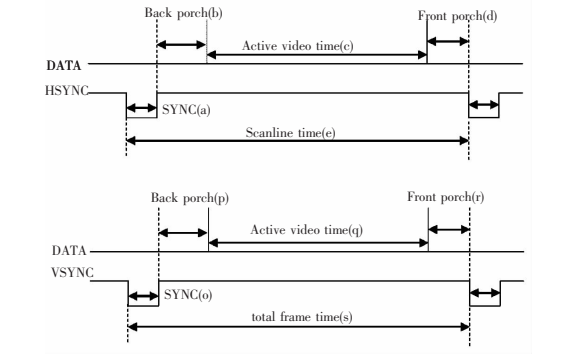


图 1 控制信号时序图

Fig. 1 Time sequence of control signals

表 1 控制信号标准
Table 1 Control signal standard

显示模式	点时钟/ MHz	像素 周期/ns	行时序(像素数)					帧时序(行数)				
			a	b	c	d	e	o	p	q	r	s
640×480@60	25.175	39.7	96	48	640	16	800	2	33	480	10	525
800×600@60	40.0	25	128	88	800	40	1056	4	23	600	1	628
1 024×768@60	65.0	15.385	136	160	1 024	24	1 344	6	29	768	3	806
1 280×1024@60	108.0	9.25	112	248	1 280	48	1 688	3	38	1 024	1	1 066

2.2 设计实现

本文提出的设计目标是通用化,在不同的显示应用场合有时仅需要一种显示模式即可,有时却需要多种显示模式配合使用。这样就要求在使用过程中不更改设置参数就可以切换显示模式。表 1 所涵盖的显示模式满足大多数显示应用的场合,本设计是依据上述显示模式设计并实现的。实现不同显示模式的切换主要集中在以下问题:(1)不同显示模式的计数基准不同,即点时钟

的频率不同;(2)不同显示模式切换时需要设置不同的行、场同步时序信号的参数,即同步低电平、消隐前肩、有效显示、消隐后肩;(3)显示模式切换时的控制信号与显示数据的严格对齐。针对上述的关键问题,设计了 3 个主要模块来解决:锁相环模块(pll_module)、同步控制模块(sync_module)、输出控制模块(vga_control_module)。从表 1 所列举的显示模式可以看出,不同的显示模式对应不同的点时钟频率即像素周期。点

时钟频率是行同步时序信号计数的基准时钟,而行同步时序信号的周期又是场同步时序信号的基准时钟。为了不改变设置参数就可以对不同点时钟进行计数,选取不同显示模式下像素周期的最大公约数为计数基准,不同显示模式进行不同数量计数即可。如表 1 所示不同显示模式下像素周期分别为 39.7 ns $\approx$ 40 ns、25 ns、15.385 ns $\approx$ 15 ns、9.25 ns $\approx$ 10 ns,它们都是 5 的倍数,5 ns 对应的频率为 200 MHz。因此锁相环模块输出的频率至少为 200 MHz,为了更精确可以将像素周期的基准设置为 1 ns,但是这样要求锁相环输出频率为 1 GHz,对于普通器件是难以达到的,经过实验验证,200 MHz 的输出频率可以满足设计要求,同时也可降低成本。

同步控制模块(sync_module)主要用于不同显示模式下行、场同步时序信号的产生,但同步电平、消隐前肩、有效显示、消隐后肩的时序在不同显示模式下是不一样的。为了在液晶显示的同时不手动更改同步时序信号参数设置,本设计应用了显示模式选择输入信号,具体控制显示模式切换的 verilog 程序如下:

```
module sync_module
(
    CLK, RSTn, VSYNC, HSYNC, Ready,
    Column_Addr, Row_Addr, vga_switch
);
    input CLK, RSTn;
    output VSYNC, HSYNC, Ready;
    output [10:0]Column_Addr;
    output [10:0]Row_Addr;
    input [1:0]vga_switch;
    reg [4:0]tip_clk;
    reg [10:0]Hcnt;
    reg [10:0]Vcnt; //e,s
    reg [10:0]Hsyn;
    reg [10:0]Hbp;
    reg [10:0]Hact;
    reg [10:0]Hfp; //a,b,c,d
    reg [10:0]Vsyn;
    reg [10:0]Vbp;
    reg [10:0]Vact;
    reg [10:0]Vfp; //o,p,q,r
```

```
always @ (posedge CLK)
begin
    case (vga_switch)
2'd0: //640 $\times$ 480
begin tip_clk <= 5'd7;
    Hcnt <= 11'd800;
    Vcnt <= 11'd525; //e,s
    Hsyn <= 11'd96;
    Hbp <= 11'd48;
    Hact <= 11'd640;
    Hfp <= 11'd16; //a,b,c,d
    Vsyn <= 11'd2;
    Vbp <= 11'd33;
    Vact <= 11'd480;
    Vfp <= 11'd10; //o,p,q,r
end
2'd1: //800 $\times$ 600
begin tip_clk <= 5'd4;
    Hcnt <= 11'd1056;
    Vcnt <= 11'd628; //e,s
    Hsyn <= 11'd128;
    Hbp <= 11'd88;
    Hact <= 11'd800;
    Hfp <= 11'd40; //a,b,c,d
    Vsyn <= 11'd4;
    Vbp <= 11'd23;
    Vact <= 11'd600;
    Vfp <= 11'd1; //o,p,q,r
end
2'd2: //1 024 $\times$ 768
begin tip_clk <= 5'd2;
    Hcnt <= 11'd1344;
    Vcnt <= 11'd806; //e,s
    Hsyn <= 11'd136;
    Hbp <= 11'd160;
    Hact <= 11'd1024;
    Hfp <= 11'd24; //a,b,c,d
    Vsyn <= 11'd6;
    Vbp <= 11'd23;
    Vact <= 11'd768;
    Vfp <= 11'd3; //o,p,q,r
end
2'd3: //1 280 $\times$ 1 024
```

```
begin tip_clk <= 5'd1;
    Hcnt <= 11'd1688;
    Vcnt <= 11'd1066;    //e,s
    Hsyn <= 11'd112;
    Hbp <= 11'd248;
    Hact <= 11'd1280;
    Hfp <= 11'd48; //a,b,c,d
    Vsyn <= 11'd3;
    Vbp <= 11'd38;
    Vact <= 11'd1024;
    Vfp <= 11'd1; //o,p,q,r
end
endcase
end
...
endmodule
```

其中,CLK 为锁相环模块输出的基准频率时钟;VSYNC 和 HSYNC 是用于液晶显示控制的行、场同步时序信号;Ready、Column_Addr 和 Row_Addr 是有效显示区域的输出信号,其中 Ready 为低电平时表示正处于显示区域,Column_Addr 和 Row_Addr 是输出显示区域的行列数值

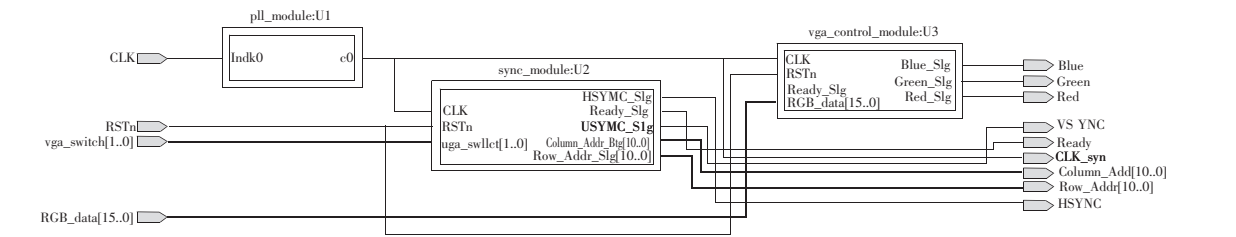


图 2 RTL 结构
Fig. 2 RTL structure

3 系统实验及分析

开展的实验主要集中在如下 3 方面:资源验证、功能验证、移植性验证。实验所应用的平台为自主设计的图像采集显示系统,如图 3 所示,主处理芯片为 ALTERA 公司的 CYCLONEIII 系列低成本、高性能 EP3C40Q240C8 芯片,编译后的资源耗费小于 1%,如图 4 所示,满足要求。

为了验证不同显示模式切换下的显示效果,设定了一幅显示模板,如图 5 所示,每个亮块的大小为 20×20 像素,亮块间隔为 20 像素,这样不同

用于与显示数据同步;vga_switch 是显示模式选择输入信号,2 位宽,通过顶层信号同步输入状态的改变即可随时选择不同参数,达到切换显示模式的目的。

Hcnt、Vcnt 为不同显示模式下每帧的列数值和行数值;Hsyn、Hbp、Hact、Hfp 为不同显示模式下行同步时序信号的参数设置;Vsyn、Vbp、Vact、Vfp 为不同显示模式下场同步时序信号的设置参数,当外部选择信号 vga_switch 发生改变时自动切换参数设置;tip_clk 是对基准频率时钟的计数值,用于生成不同显示模式下的点时钟。

输出控制模块(vga_control_module)主要是将显示数据与控制信号进行同步,为此引入了同步控制模块的 VSYNC、HSYNC、Column_Addr、Row_Addr 和 Ready 信号用于与显示数据输入信号 RGB_data 同步。此外还丰富了对外存储设备数据读取信号 CLK_syn、Ready、Column_Addr [10:0]、Row_Addr [10:0]、RGB_data [15:0],分别为同步读取时钟、使能信号、地址信号和数据读入信号。

编译生成后的控制器 RTL 结构如图 2 所示。

显示模式下所显示的亮块数量随着分辨率的提高而增加。实验显示效果如图 6、7、8、9 所示。



图 3 实验板卡
Fig. 3 Experimental circuit board

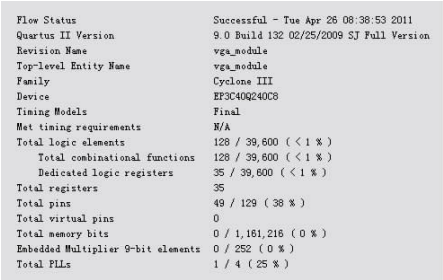


图 4 编译结果

Fig. 4 Compile result

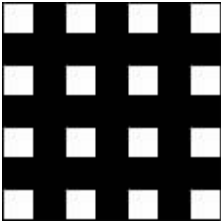


图 5 显示模板

Fig. 5 Display template

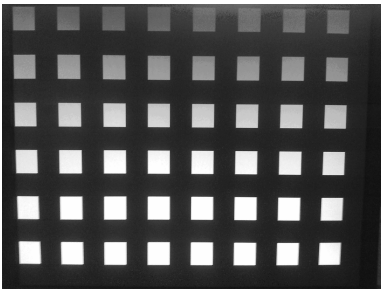


图 6 640×480 显示

Fig. 6 640×480 display

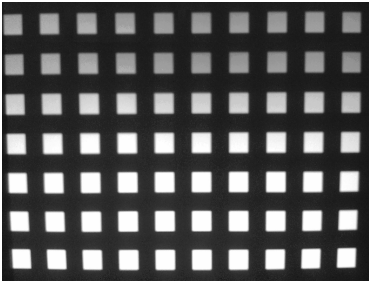


图 7 800×600 显示

Fig. 7 800×600 display

实验表明显示模式切换过程稳定,图像没有闪屏、错行等现象,视觉效果良好。将验证后的通用液晶显示控制器打包成 IP 核,如图 10 所示。并移植到另外的 CycloneII EP2C8Q208C8 平台上进行实验,资源占用仍然小于 1%,且显示效果良好,展现出较好的移植性。

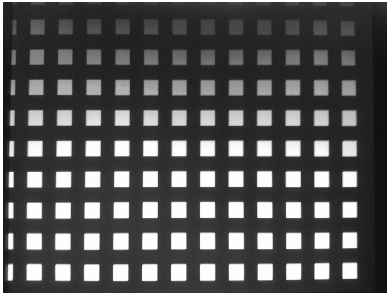


图 8 1 024×768 显示

Fig. 8 1 024×768 display

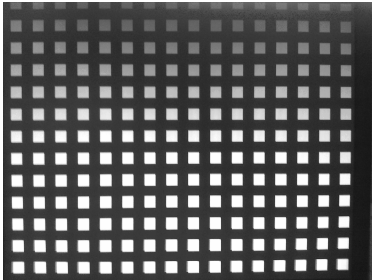


图 9 1 280×1 024 显示

Fig. 9 1 280×1 024 display

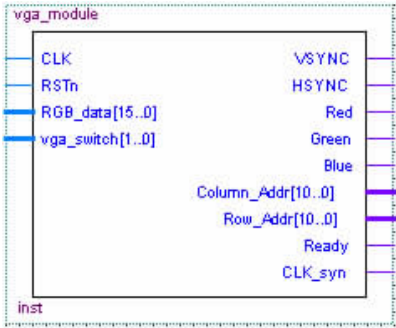


图 10 VGA IP 核

Fig. 10 VGA IP CORE

4 结 论

随着嵌入式设备液晶显示的广泛应用,对嵌入式系统的多种分辨率显示提出了需求。依据显示模式标准设计了基于 FPGA 的通用液晶显示控制器,通过实验验证了该控制器在系统正常工作时可以随时切换到不同显示模式,视觉效果良好。通过模块化设计生成了通用液晶显示控制器 IP 核,可方便地移植到其他嵌入式系统作为显示控制模块应用,无需更改代码且占用资源极小,有较强的通用性和移植性,这样不仅简化了嵌入式系统外部硬件电路,减少了硬件设计流程,而且提高了可靠性,降低了成本,有良好的应用前景。

参 考 文 献:

[1] 胡必武,宋跃,胡升平,等. 基于 TFT-LCD&ARM&FPGA 的触摸式手持式存储示波表 [J]. 液晶与显示,2008,23(1);112-116.

[2] 蔡希昌,翟临培,周九飞,等. 基于 FPGA 的非 XGA 标准图像显示控制器的设计 [J]. 液晶与显示,2008,23(3): 301-306.

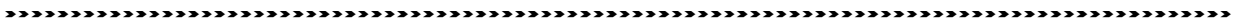
[3] 熊文彬,蒋泉,曲建军,等. 基于 FPGA 实现的视频显示系统 [J]. 液晶与显示,2011,26(1):92-95.

[4] 徐杰,杨虹,郭树旭,等. TFT-LCD 周边驱动电路集成化设计 [J]. 液晶与显示,2004,19(1):42-47.

[5] 吕国亮,赵曙光,赵俊. 嵌入式逻辑分析技术及其在 FPGA 系统开发中的应用 [J]. 液晶与显示,2007,22(2): 227-231.

[6] 杨旭光,丁铁夫,刘维亚,等. 基于 FPGA 的高速 DSP 与液晶模块接口的实现 [J]. 液晶与显示,2007,22(3): 342-345.

[7] 黄健. 一种基于 CPLD 的 256 级灰度模拟液晶屏显示方法 [J]. 液晶与显示,2008,23(5):555-559.



欢迎订阅 欢迎投稿
《光学 精密工程》

《光学 精密工程》是中国仪器仪表学会一级学术期刊,中国科学院长春光学精密机械与物理研究所主办,科学出版社出版。由国内外著名科学家任顾问,陈星旦院士任编委会主任,国家科技部副部长曹健林博士担任主编。

《光学 精密工程》坚持学术品位,集中报道国内外现代应用光学、光学工程技术、光电工程和精密机械、光学材料、微纳科学与技术、医用光学、先进加工制造技术、信息与控制、计算机应用以及相关交叉学科等方面的最新理论研究、科研成果和创新能力。本刊自 2007 年起只刊发国家重大科技项目和国家自然科学基金项目及各省、部委基金项目资助的论文。《光学 精密工程》竭诚欢迎广大作者踊跃投稿。

本刊获奖:

- 中国科学技术协会择优支持期刊
- 中国百种杰出学术期刊
- 第一届北方优秀期刊
- 吉林省双十佳期刊

国际检索源:

- 《美国工程索引》(EI Compendex)
- 《美国化学文摘》(CA)
- 《英国 INSPEC》(SA)
- 《俄罗斯文摘杂志》(PЖ)
- 《美国剑桥科学文摘》(CSA)

国内检索源:

- | | |
|-------------|----------------|
| 中国科技论文统计源期刊 | 中文核心期刊要目总览(北大) |
| 中国学术期刊(光盘版) | 中国学术期刊综合评价数据库 |
| 万方数据系统数字化期刊 | 中国光学与应用光学文摘 |
| 台湾华艺中文电子期刊网 | 中国科学期刊全文数据库 |
| 中国科学引文数据库 | 中国光学文献数据库 |
| 中国物理文献数据库 | 中国学术期刊文摘 |
| 中国期刊网 | 中国物理文摘 |

地 址: 长春市东南湖大路 3888 号

《光学 精密工程》编辑部

邮 编: 130033

电 话: (0431)86176855

传 真: (0431)84613409

E-mail: gxjmgc@ciomp. ac. cn

gxjmgc@sina. com

http://www. ope. net. cn

国内邮发代号: 12-166

国外发行代号: 4803BM

定 价: 50.00 元/期

帐 户: 中国科学院长春光学

精密机械与物理研究所

银 行: 中行吉林省分行营业部

帐 号: 220801471908091001